

编号：S0-1006-1.2

## C2 型高速存储电路模块简介

北京奇作电子有限公司

**SIZOOM**ELECTRONICS

2015-5

# 1 产品概述

C2 型高速存储系统是我公司自主研发的、用于高速数据流实时存储回放的电路系统。

## 主要应用环境：

- ◇ 模拟信号采集（ADC）数据流的存储。
- ◇ 数据流驱动模拟信号的重构（DAC）。
- ◇ LVDS 总线、光纤等高速数字接口驱动的数据流实时存储和回读。

## 主要技术特征：

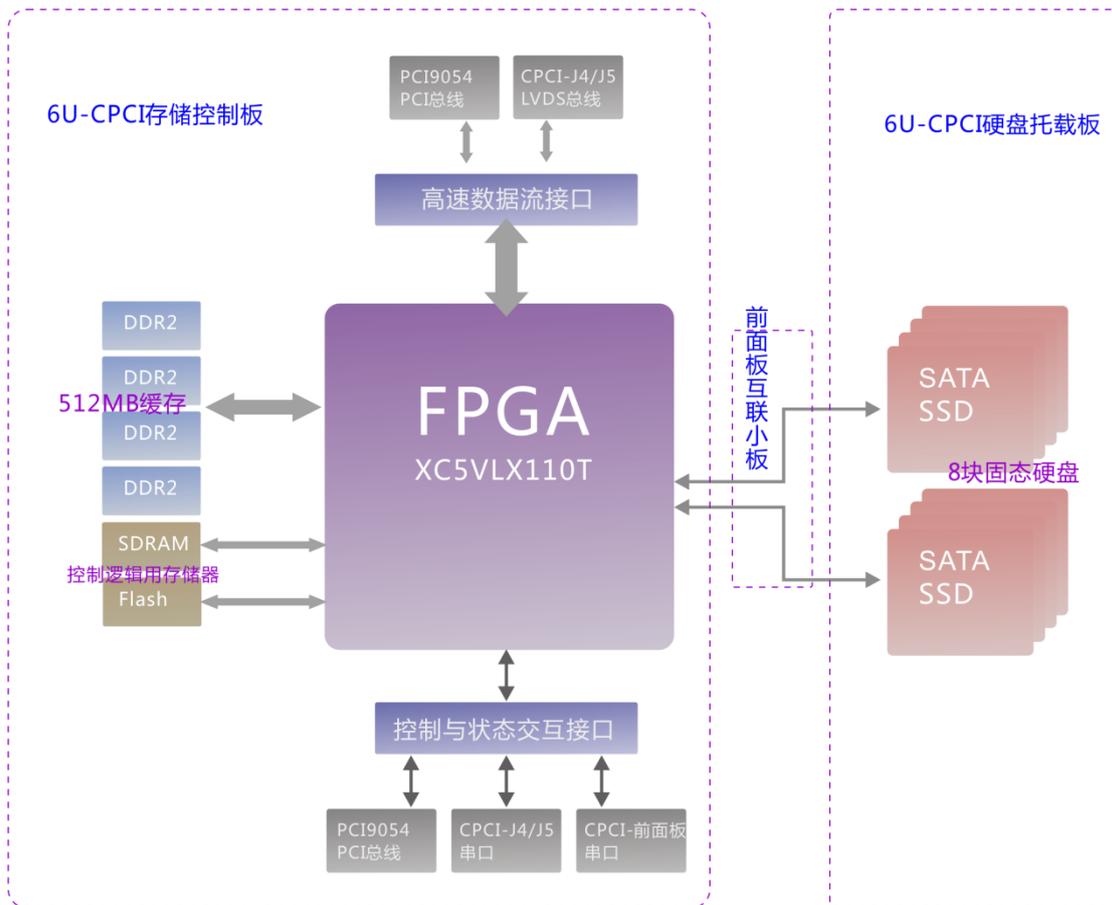
- ◇ 采用 CPCI 标准，6U 功能板结构，占用 2 个 CPCI 槽位。
- ◇ FPGA 直接管理 8 块 2.5 寸 SATA2 或 SATA3 接口固态硬盘。
- ◇ 实时不间断数据流存储或回放速率优于每秒 1G 字节。
- ◇ 存储容量依据硬盘选型而异，根据目前市场可选商品，存储容量可至 8TB。
- ◇ 导冷板配合机箱强迫风冷散热。
- ◇ 高速数据流通过 CPCI-J4/J5 连接器定义的 LVDS 总线传输。
- ◇ 通过 J4/J5 总线连接用户数据接口板（AD/DA、光纤板等）。
- ◇ 通过 PCI 总线或光纤接口与计算机之间导入导出数据（也可定制接口）。
- ◇ 完备的人机交互软件，带文件系统管理及信号分析功能。
- ◇ 开放系统控制协议，提供驱动程序，用户可自行编写控制软件。
- ◇ 提供 J4/J5 LVDS 总线接口例程代码。
- ◇ 可提供整套设备硬件设计图纸及所有软件/FPGA 设计源代码。
- ◇ 工业级元件选型，抗震动结构设计。

## 2 技术特征

### 2.1 拓扑结构

系统硬件由三块电路板卡组成，其定义和功能如下。

1. 6U-CPCI 存储控制板。集成主要电路系统，驱动硬盘托载板。
2. 6U-CPCI 硬盘托载板。用于堆放 8 块 2.5 寸固态硬盘板。
3. 前面板互联小板。实现上述两块板间高速 SATA 信号的互联。



板卡互联结构示意图

## 2.2 实物照片

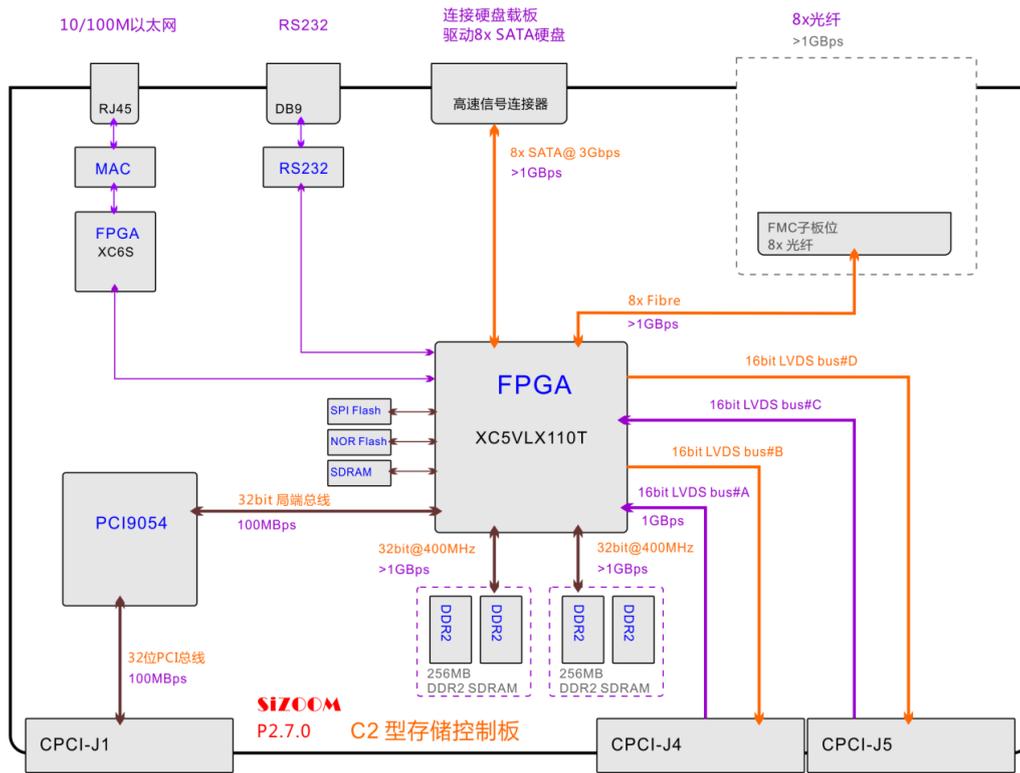
### 2.2.1 存储控制板



---

存储控制板实物照片

---



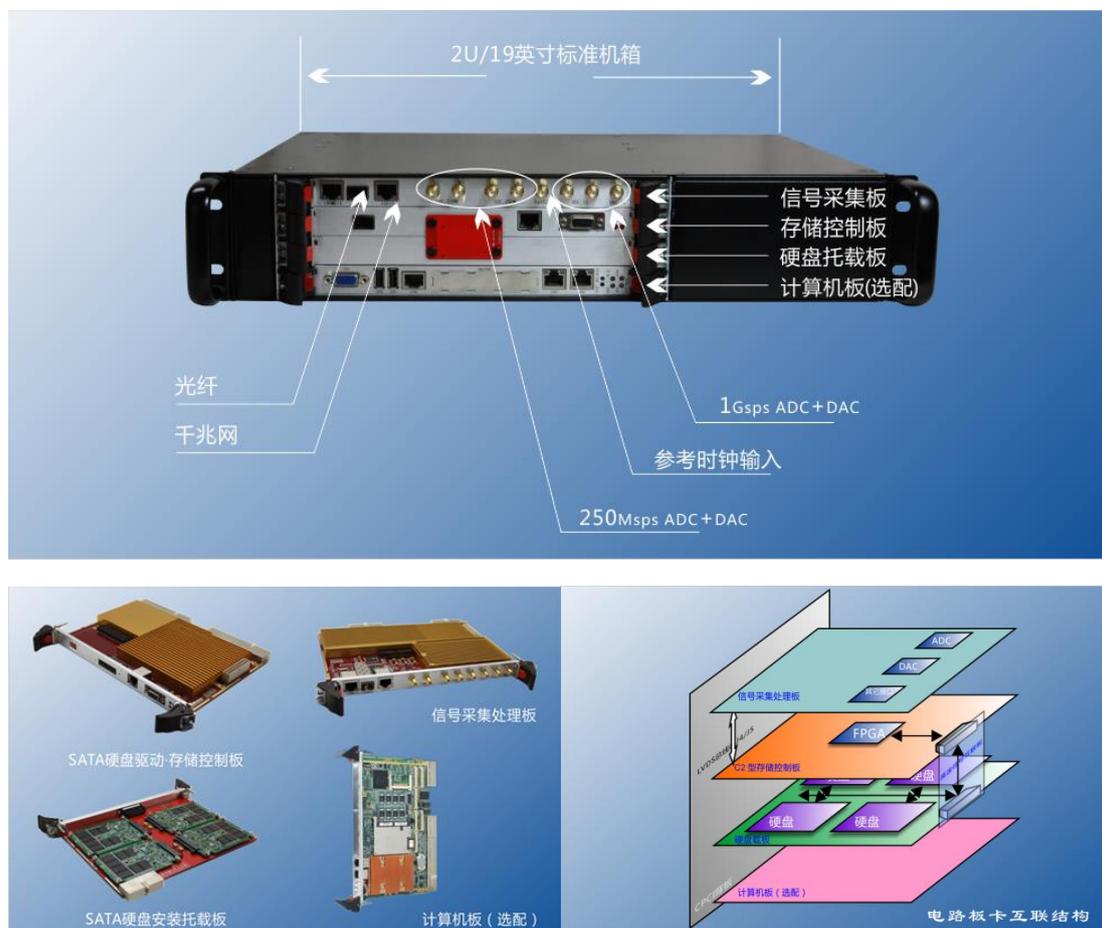
存储控制板电路拓扑图

### 2.2.2 硬盘托载板



存储控制板实物照片

## 2.2.3 整机环境



## 2.3 J4J5 总线

### 2.3.1 总线模型

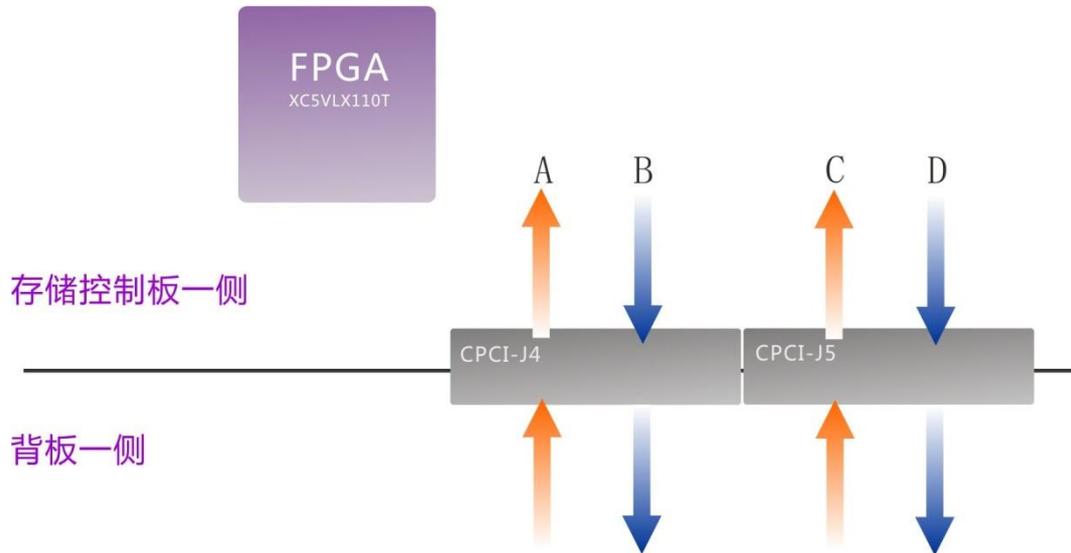
J4, J5 上总共定义 4 条总线，分别命名为 A,B,C,D。

四条总线均为 16 位差分、源同步传输、不间断时钟总线，时钟速率最高支持 200MHz，即 400Mbps，每条总线带宽可达 800MBps。

其中，A/C 两条总线定义为输入总线，B/D 两条定义为输出总线。

C2.1 型号产品输入输出的两条总线需要同时使用，即输入时数据需要同时输

入 A/C 两条总线，存储系统会同等地读取两条总线的的数据，因此两条总线传输的数据量大小需要一致。但因为两条总线数据传输的时序相互独立，数据进入存储系统的时间可以存在先后区别。



### 2.3.2 信号定义

CPCI-J4/J5 两个接插件用于存盘数据的导入导出。其中 J4, J5 两个接插件上共计定义了 4 条 LVDS 总线, 1 路串口以及若干 5v, 12v, GND 电源管脚。每条 LVDS 总线定义了 16 位数据, 1 位不间断时钟, 1 位数据有效指示, 1 位就绪握手标志。其中 2 条 LVDS 总线用于数据的输入, 另外 2 条用于数据输出。

管脚类型命名及具体管脚分布如下表。

信号命名	信号方向	说明
ADi<#>_P	IN	A 路输入 LVDS 总线数据线 P 端。由外部向本板卡输入。
ADi<#>_N	IN	A 路输入 LVDS 总线数据线 N 端。
ACi_P	IN	A 路输入 LVDS 总线时钟线 P 端。
ACi_N	IN	A 路输入 LVDS 总线时钟线 N 端。
AVin_P	IN	A 路输入 LVDS 总线数据有效标志线 P 端。低有效。
AVin_N	IN	A 路输入 LVDS 总线数据有效标志线 N 端。
ARon_P	OUT	A 路输入 LVDS 总线接收就绪标志线 P 端。本板卡向外输出。
ARon_N	OUT	A 路输入 LVDS 总线接收就绪标志线 N 端。
其它总线		B 路总线为输出, 相关信号对应于 A 路总线信号分别命名为

		BDo<xx>,BCo,BVon,BRvin, 信号方向与 A 路对应信号相反。另外 C 路总线为输入, 与 A 路功能相同; D 路总线为输出, 与 B 路功能相同。差分总线与板内 Xilinx Virtex5 FPGA 连接, 信号标准为 2.5v LVDS。
RSTx	OUT	串口数据发送。信号标准为 2.5v LVCMOS。
RSRx	IN	串口数据接收。信号标准为 2.5v LVCMOS。
5v	OUT	5v 直流电源输出, 源自 CPCI J1 上的 5v 电源, 1A 限流。
12v	OUT	12v 直流电源输出, 源自 CPCI J1 上的 12v 电源, 0.5A 限流。
GND		电系统参考地。
RSVD		保留使用管脚。用户不应驱动此类管脚。

CPCI-J4 连接器定义											
管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义
A1	GND	B1	GND	C1	GND	D1	GND	E1	GND	F1	GND
A2	ADi<0>_P	B2	ADi<0>_N	C2	GND	D2	BDo<0>_P	E2	BDo<0>_N	F2	GND
A3	ADi<1>_P	B3	ADi<1>_N	C3	GND	D3	BDo<1>_P	E3	BDo<1>_N	F3	GND
A4	ADi<2>_P	B4	ADi<2>_N	C4	GND	D4	BDo<2>_P	E4	BDo<2>_N	F4	GND
A5	ADi<3>_P	B5	ADi<3>_N	C5	GND	D5	BDo<3>_P	E5	BDo<3>_N	F5	GND
A6	ADi<4>_P	B6	ADi<4>_N	C6	GND	D6	BDo<4>_P	E6	BDo<4>_N	F6	GND
A7	ADi<5>_P	B7	ADi<5>_N	C7	GND	D7	BDo<5>_P	E7	BDo<5>_N	F7	GND
A8	ADi<6>_P	B8	ADi<6>_N	C8	GND	D8	BDo<6>_P	E8	BDo<6>_N	F8	GND
A9	ADi<7>_P	B9	ADi<7>_N	C9	GND	D9	BDo<7>_P	E9	BDo<7>_N	F9	GND
A10	ADi<8>_P	B10	ADi<8>_N	C10	GND	D10	BDo<8>_P	E10	BDo<8>_N	F10	GND
A11	ADi<9>_P	B11	ADi<9>_N	C11	GND	D11	BDo<9>_P	E11	BDo<9>_N	F11	GND
										F12	GND
										F13	GND
										F14	GND
A15	ADi<10>_P	B15	ADi<10>_N	C15	GND	D15	BDo<10>_P	E15	BDo<10>_N	F15	GND
A16	ADi<11>_P	B16	ADi<11>_N	C16	GND	D16	BDo<11>_P	E16	BDo<11>_N	F16	GND
A17	ADi<12>_P	B17	ADi<12>_N	C17	GND	D17	BDo<12>_P	E17	BDo<12>_N	F17	GND
A18	ADi<13>_P	B18	ADi<13>_N	C18	GND	D18	BDo<13>_P	E18	BDo<13>_N	F18	GND
A19	ADi<14>_P	B19	ADi<14>_N	C19	GND	D19	BDo<14>_P	E19	BDo<14>_N	F19	GND
A20	ADi<15>_P	B20	ADi<15>_N	C20	GND	D20	BDo<15>_P	E20	BDo<15>_N	F20	GND
A21	AVin<0>_P	B21	AVin<0>_N	C21	GND	D21	BVon<0>_P	E21	BVon<0>_N	F21	GND
A22	ARon<0>_P	B22	ARon<0>_N	C22	GND	D22	BRin<0>_P	E22	BRin<0>_N	F22	GND
A23	ACi_P	B23	ACi_N	C23	GND	D23	BCo_P	E23	BCo_N	F23	GND
A24	RSVD	B24	RSVD	C24	GND	D24	RSVD	E24	RSVD	F24	GND
A25	GND	B25	GND	C25	GND	D25	GND	E25	GND	F25	GND

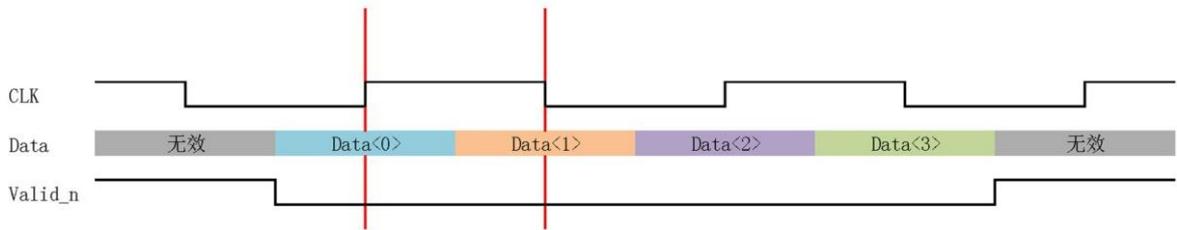
CPCI-J5 连接器定义											
管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义	管脚	信号定义
A1	GND	B1	GND	C1	GND	D1	GND	E1	GND	F1	GND
A2	CDi<0>_P	B2	CDi<0>_N	C2	GND	D2	DDo<0>_P	E2	DDo<0>_N	F2	GND
A3	CDi<1>_P	B3	CDi<1>_N	C3	GND	D3	DDo<1>_P	E3	DDo<1>_N	F3	GND
A4	CDi<2>_P	B4	CDi<2>_N	C4	GND	D4	DDo<2>_P	E4	DDo<2>_N	F4	GND
A5	CDi<3>_P	B5	CDi<3>_N	C5	GND	D5	DDo<3>_P	E5	DDo<3>_N	F5	GND
A6	CDi<4>_P	B6	CDi<4>_N	C6	GND	D6	DDo<4>_P	E6	DDo<4>_N	F6	GND
A7	CDi<5>_P	B7	CDi<5>_N	C7	GND	D7	DDo<5>_P	E7	DDo<5>_N	F7	GND
A8	CDi<6>_P	B8	CDi<6>_N	C8	GND	D8	DDo<6>_P	E8	DDo<6>_N	F8	GND
A9	CDi<7>_P	B9	CDi<7>_N	C9	GND	D9	DDo<7>_P	E9	DDo<7>_N	F9	GND
A10	CDi<8>_P	B10	CDi<8>_N	C10	V12	D10	DDo<8>_P	E10	DDo<8>_N	F10	GND
A11	CDi<9>_P	B11	CDi<9>_N	C11	V12	D11	DDo<9>_P	E11	DDo<9>_N	F11	GND
A12	CDi<10>_P	B12	CDi<10>_N	C12	GND	D12	DDo<10>_P	E12	DDo<10>_N	F12	GND
A13	CDi<11>_P	B13	CDi<11>_N	C13	GND	D13	DDo<11>_P	E13	DDo<11>_N	F13	GND
A14	CDi<12>_P	B14	CDi<12>_N	C14	V5	D14	DDo<12>_P	E14	DDo<12>_N	F14	GND
A15	CDi<13>_P	B15	CDi<13>_N	C15	V5	D15	DDo<13>_P	E15	DDo<13>_N	F15	GND
A16	CDi<14>_P	B16	CDi<14>_N	C16	V5	D16	DDo<14>_P	E16	DDo<14>_N	F16	GND
A17	CDi<15>_P	B17	CDi<15>_N	C17	V5	D17	DDo<15>_P	E17	DDo<15>_N	F17	GND
A18	CVin<0>_P	B18	CVin<0>_N	C18	GND	D18	DVon<0>_P	E18	DVon<0>_N	F18	GND
A19	CRon<0>_P	B19	CRon<0>_N	C19	GND	D19	DRin<0>_P	E19	DRin<0>_N	F19	GND
A20	CCi_P	B20	CCi_N	C20	GND	D20	DCo_P	E20	DCo_N	F20	GND
A21	RSTx	B21	RSRx	C21	GND	D21	RSVD	E21	RSVD	F21	GND
A22	GND	B22	GND	C22	GND	D22	GND	E22	GND	F22	GND

### 2.3.3 逻辑时序

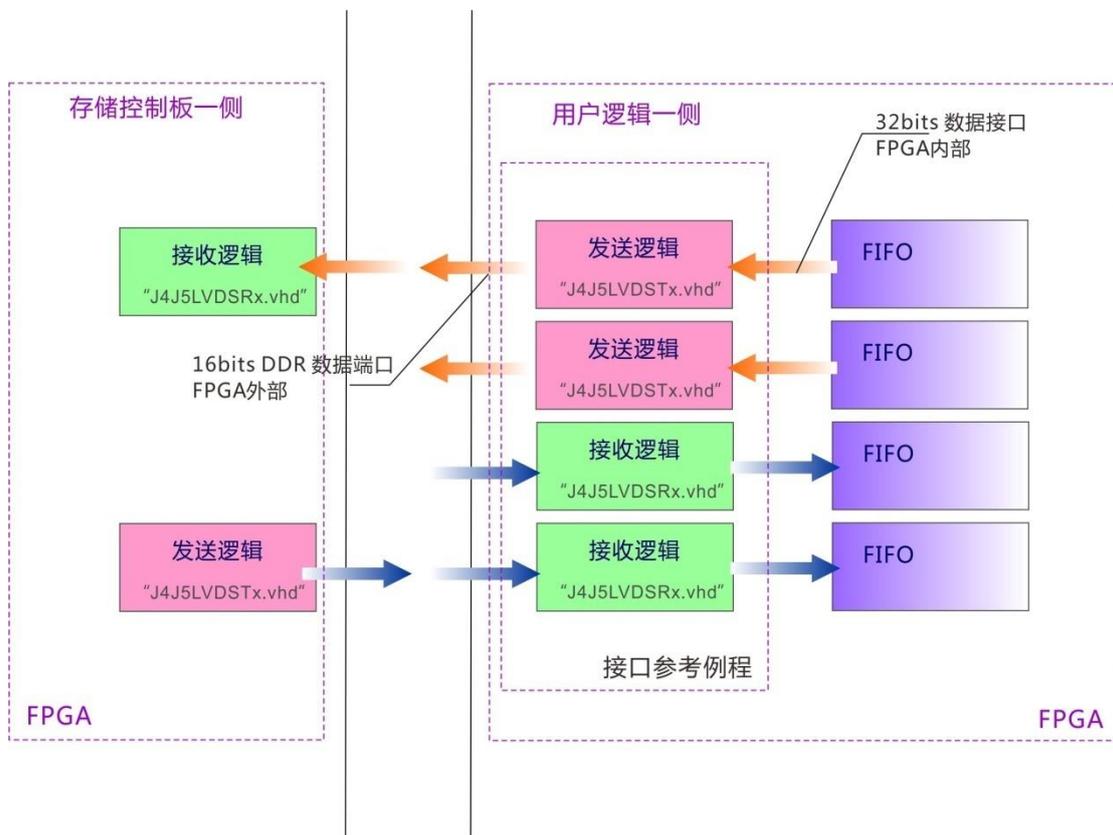
J4/J5 上定义的 A/B/C/D 共计 4 条差分总线,均采用源同步传输模式,即时钟、数据、有效标志从数据源端发出,但就绪标志从接收端发出。信号总线时序图及信号驱动说明如下。

信号名称	信号标记	说明
数据	Data	J4/5 信号定义表中标记为 ADi<#>, BDo<#>, CDi<#>, DDo<#>。16 位差分数据线。
时钟	CLK	J4/5 信号定义表中标记为 ACi, BCo, CCi, DCo。 时钟,需要被连续不间断驱动,最高频率 200MHz,时钟双沿有效,即上升沿及下降沿均有效。发送端须要调整好 Data 与 CLK 的相位关系,使得 CLK 的上升及下降沿变满足与 Data 的建立和保持时间关系,接收端不再调整 CLK 与 Data 相对相位。要求建

		立时间不小于 2ns，保持时间不小于 1ns。
有效标志	Valid_n	J4/5 信号定义表中标记为 ARI, BRo, CRI, DRo。 数据有效标志，低有效。该信号为低时接收端在 CLK 的上升沿及下降沿均接收数据 Data。
就绪标志	Ready_n	J4/5 信号定义表中标记为 AVo, BVi, CVo, DVi。 接收端就绪信号，低有效。发送端应在本信号有效时才启动数据发送，如果在数据发送过程中本信号变为无效，那么接收端须保证至少还可以接收 32 个数据，以此留给发送端响应本信号的时间。



### 2.3.4 接口例程



本产品为用户提供接口逻辑例程，发送和接收模块的 VHDL 代码设计文件分别为《J4J5LV DSTx.vhd》和《J4J5LV DSRx.vhd》。

这两个模块在面对用户一侧可直接与 FIFO 接口，用户需要在自己的设计中例化 FIFO 模块，FIFO 一端被发送接收逻辑控制，另一端则由用户自行读写。

这两个 VHDL 模块是基于 Virtex5 系列 FPGA 设计的，使用了该型号 FPGA 的时钟、LVDS 以及 DDR 寄存器原语，如果用户使用其它型号的器件，需要更改设计代码，用对应器件的原语替换本设计中的相关内容。

## 2.4 主控软件

用于对存储系统硬件进行控制和监测。

### 主要功能

- +控制数据存储或回放过程，设置相关参数；
- +在用户计算机硬盘与设备硬盘阵列之间导入导出数据；
- +数据存储或回放过程中截取数据流进行分析和监测；
- +显示系统工作状态；
- +管理文件系统；
- +查看分析设备存盘文件。

### 运行环境

- +采用 .NET 平台设计，运行于 Windows 系统；
- +通过 PCI/PCIe/USB/串口/网口等多种方式与设备通信；

### 文件系统

- +自主研发的专门为高速数据存储而设计的文件系统：

**FSFS--Fast Storage File System**

- +支持文件建立、删除、重命名、添加备注信息等操作；
- +通过存储控制软件可与用户本地文件系统（FAT32/NTFS）  
存盘文件之间进行数据导入导出操作；

### 流程控制

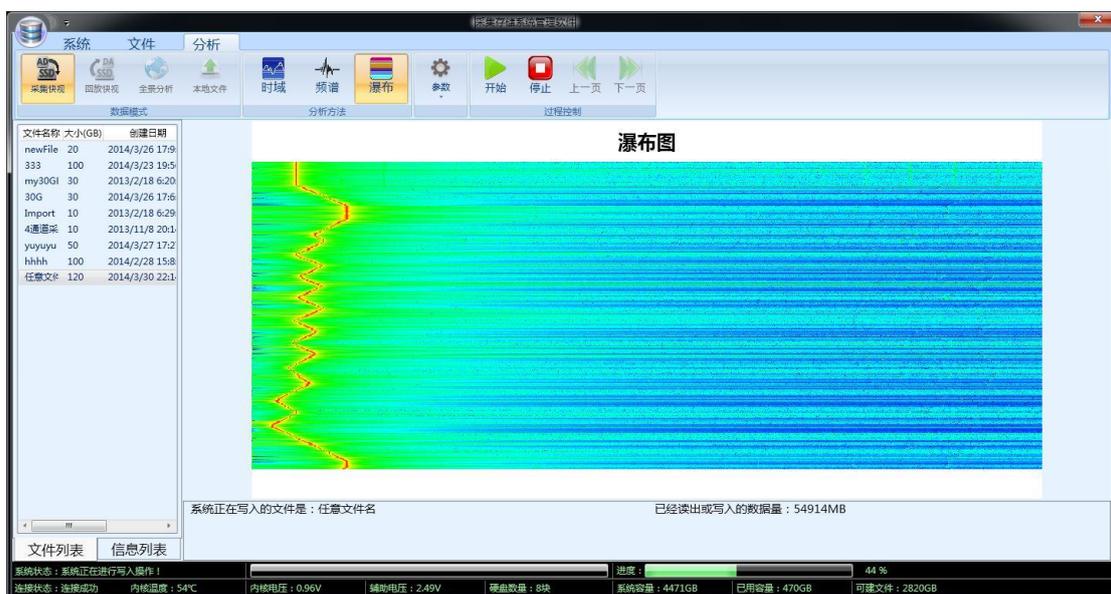
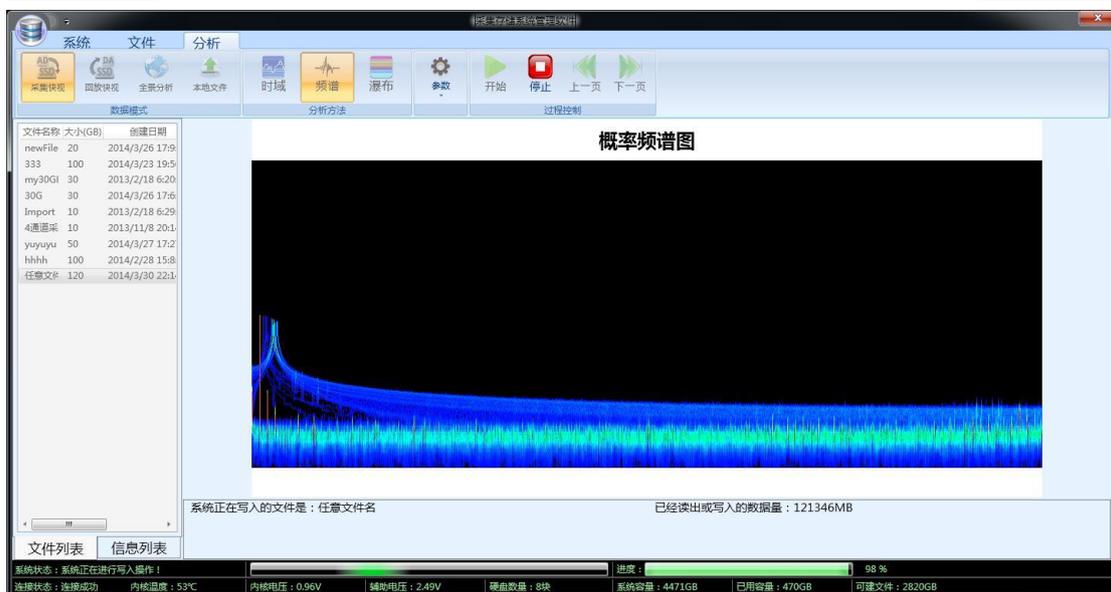
- +对数据存储或回放的启动、暂停、停止控制；
- +对存盘文件与用户计算机本地硬盘之间的数据导入导出控制；

### 状态监测

- \* 可实时监测以下信息：
  - +系统内文件数量，各个文件名称、大小等详细信息；
  - +系统工作状态，例如处于存储、回放或空闲等状态；
  - +硬件主芯片温度、各关键电压等；
  - +数据存储或回放过程进度信息；
  - +系统错误信息报告与提示，系统工作日志查看；

### 数据分析

- \* 支持以下文件数据查看与分析模式：
  - +表格数值形式显示数据；
  - +时域波形图；
  - +功率频谱图；
  - +频谱余辉图；
  - +概率频谱图；
  - +瀑布图。



### 3 质量保证

- ◇ 非人为破坏情况下，出现质量问题一年内免费更换
- ◇ 终身提供免费固件升级服务
- ◇ 终身提供技术支持

### 4 联系方式

北京奇作电子有限公司

网址：[www.sizoom.com](http://www.sizoom.com)

电话：010-82125826 / 176 00813 987

邮箱：[gizuodianzi@163.com](mailto:gizuodianzi@163.com)